

### **Advanced Memory Integration Techniques for Heterogenous Mesh-of-Tiles Architectures**

Recent advances in open and modular processor architectures are enabling a new generation of heterogeneous many-core systems that tightly integrate general-purpose cores with domain-specific hardware accelerators. In particular, RISC-V-based platforms adopting mesh-of-tiles organizations and vector processing units offer a promising foundation for scalable, energy-efficient execution of complex workloads such as machine learning inference and data-intensive signal processing. Upscaling the efficiency of these systems, in particular for edge AI, however, still requires significant innovation in terms of fighting the so-called "memory wall", i.e. the requirement for memory bandwidth and footprint by advanced AI workloads. Integration of novel techniques and architectural approaches designed on new memory technologies - such as non-volatile CMOS-compatible PCM devices, analog and digital in-memory computing, multi-chiplet scaling, and 3d-stacked memories, offer a diversity of potential solutions to this common challenge.

This Incarico di Ricerca position, which is aligned with the activity of the **ARCHYTAS** project, focuses on the development of advanced digital memory integration techniques for emerging architectures based on the 'mesh-of-tiles' paradigm. The incaricato di ricerca will focus on: 1) integration of digital and analog in-memory-computing devices in mesh-of-tiles architectures; 2) modeling of techniques such as chiplet-level integration and 3-d memory stacking; 3) development of digital devices (e.g. Network-in-Package routers) for chiplet- and 3-d memory stack integration.

### **Advanced Memory Integration Techniques for Heterogenous Mesh-of-Tiles Architectures**

I recenti progressi nelle architetture di processori aperti e modulari stanno abilitando una nuova generazione di sistemi many-core eterogenei che integrano strettamente core general-purpose con acceleratori hardware domain-specific. In particolare, le piattaforme basate su RISC-V che adottano organizzazioni a mesh-of-tiles e unità di elaborazione vettoriale offrono una base promettente per l'esecuzione scalabile ed efficiente dal punto di vista energetico di carichi di lavoro complessi, come l'inferenza di machine learning e l'elaborazione di segnali ad alta intensità di dati. L'incremento dell'efficienza di questi sistemi, in particolare per l'AI a bordo dispositivo (edge AI), richiede tuttavia ancora una significativa innovazione in termini di contrasto al cosiddetto "memory wall", ovvero il requisito di larghezza di banda di memoria e footprint da parte dei carichi di lavoro AI avanzati. L'integrazione di nuove tecniche e approcci architetturali progettati su nuove tecnologie di memoria — come i dispositivi PCM compatibili con CMOS e non volatili, il computing in-memory analogico e digitale, lo scaling multi-chiplet e le memorie 3D-stacked — offre una diversità di potenziali soluzioni a questa sfida comune.

Questa posizione di Incarico di Ricerca, allineata con le attività del progetto **ARCHYTAS**, si focalizza sullo sviluppo di tecniche avanzate di integrazione di memoria digitale per architetture emergenti basate sul paradigma "mesh-of-tiles". L'incaricato di ricerca si concentrerà su: 1) integrazione di dispositivi di computing in-memory digitali e analogici in architetture mesh-of-tiles; 2) modellazione di tecniche quali l'integrazione a livello di chiplet e lo stacking di memoria 3D; 3) sviluppo di dispositivi digitali (ad es. router Network-in-Package) per l'integrazione con chiplet e stack di memoria 3D.